

电 工 电 子 实 验 报 告

课程名称： 电工电子实验（二）

实验名称： 连续时间系统的模拟

&组合逻辑电路

学 院： 通信与信息工程学院

班 级： B210111

学 号： B21011125

姓 名： 徐秋旸

指导教师： 林宏

学 期： 2022-2023 学年第 二 学期

电工电子实验教学中心

**连续时间系统的模拟**

**一、实验目的**

1.学习如何根据给定的连续系统的传输函数，用基本运算单元组成模拟装置。

2.掌握将Multisim软件用于系统模拟的基本方法。

**二、主要仪器设备及软件**

软件：Multisim 14.0

**三、实验原理（或设计过程）**

求系统响应的问题，实际上就是解微分方程的问题。一些实际系统的微分方程可能是一高阶方程或是一微分方程组。在电学中，系统的模拟就是用由基本运算单元电路组成的模拟装置来模拟实际系统。模拟装置可以与实际系统的内容完全不同，但是两者的微分方程完全相同，输入输出关系即传输函数也完全相同。在Multisim软件中利用其控制器件库所提供的积分器、微分器、乘法器、除法器、比例模块等构成模拟电路，会使这种仿真过程变得更为简便。若已知实际系统的传输函数为：

分子、分母同乘以，得传输函数的标准形式：

式中，和分别代表分子、分母的多项式。因为

令

则

根据上式就可以画出完整的系统模拟框图，如图1所示。

图示

描述已自动生成

图1 完整的系统模拟框图

将传输函数化为标准形式需要遵循以下原则：

(1)真分式：算子s在分子的幂次不高于分母的幂次。

(2)积分式：因需用积分器仿真，算子s应化成形式

(3)常数1：分母的常数项必须化成1。

**四、实验电路图**

RC低通电路的电路图和系统模拟框图如图2、图3所示。

图示, 示意图

描述已自动生成

图2 RC低通电路电路图

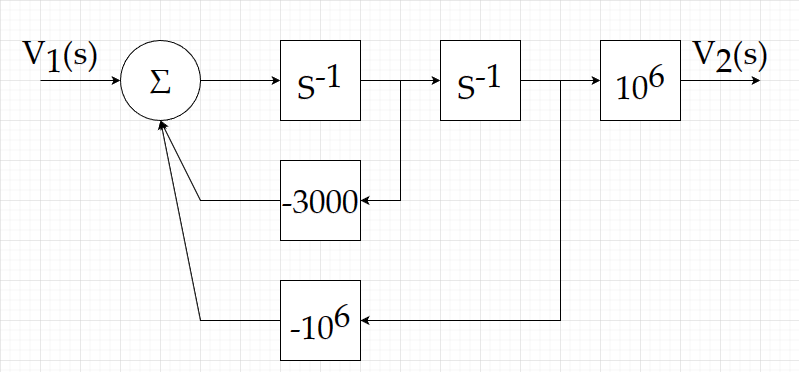


图3 RC低通电路系统模拟图

二阶带通电路的电路图和系统模拟框图如图4、图5所示。

图示, 示意图

描述已自动生成

图4 二阶带通电路电路图

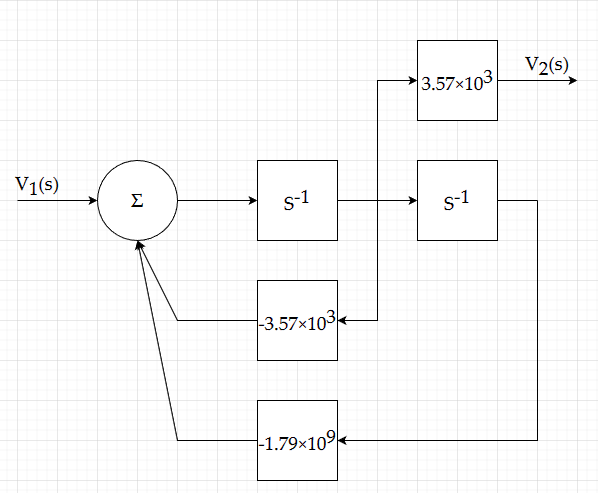
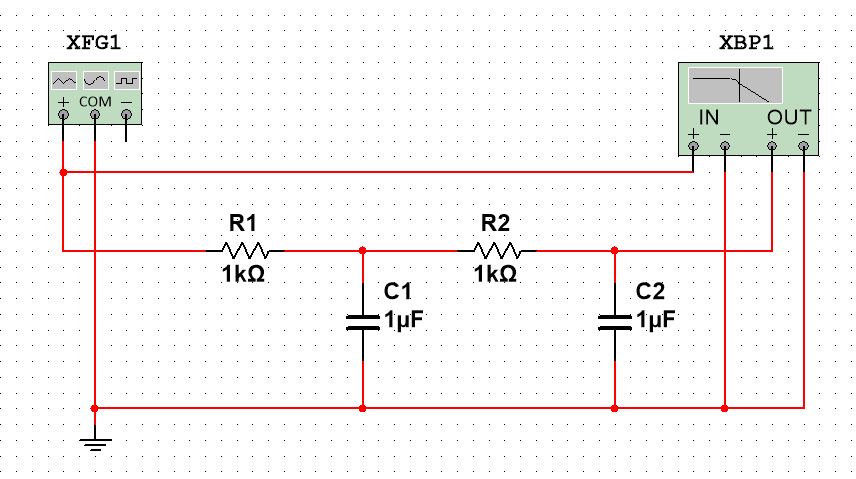


图5 二阶带通电路系统模拟图

**五、实验内容和实验结果**

1.根据图2所示RC低通电路，可以求出其传输函数：

在时域中直接测量其幅频特性和相频特性，测试电路图如图6所示，测试结果如图7所示。



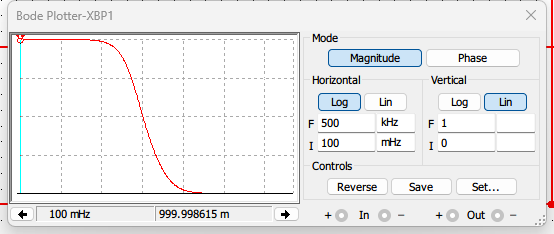
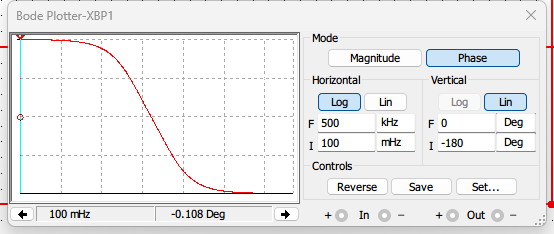
图6 直接测量RC低通电路传输特性的仿真图

图7 直接测量RC低通电路的幅频特性和相频特性

通过系统模拟框图再次测量其幅频特性和相频特性，测试电路图如图8所示，测试结果如图9所示。

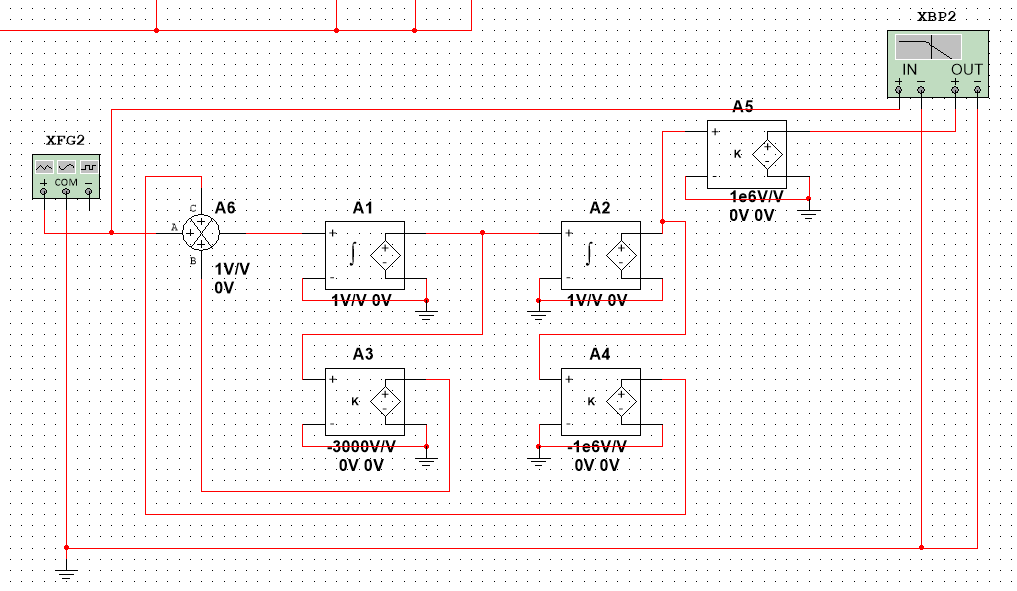


图8 通过系统模拟框图测量RC低通电路传输特性的仿真图

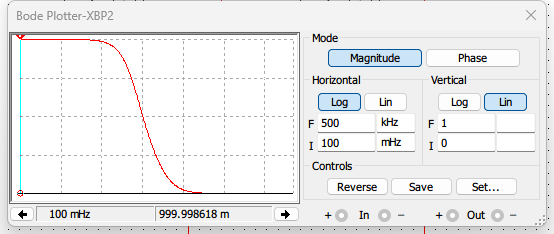
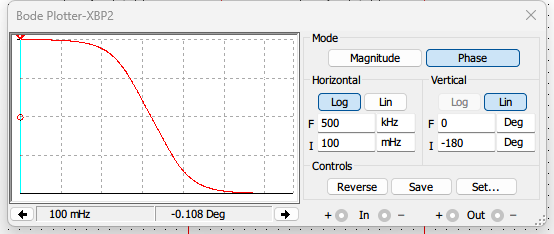


图9 通过系统模拟框图测量RC低通电路的幅频特性和相频特性

通过以上两种方法分别测得RC低通电路时域和复频域中的半功率点，并记录在表1之中。

表1 RC低通电路测量结果

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 时域 | | 复频域 | |
| f1/Hz | Φ1/° | f2/Hz | Φ2/° |
| 半功率点 | 59.21 | -52.568 | 59.21 | -52.568 |

2.根据图4所示二阶带通电路，可以求出其传输函数：

在时域中直接测量其幅频特性和相频特性，测试电路图如图10所示，测试结果如图11所示。

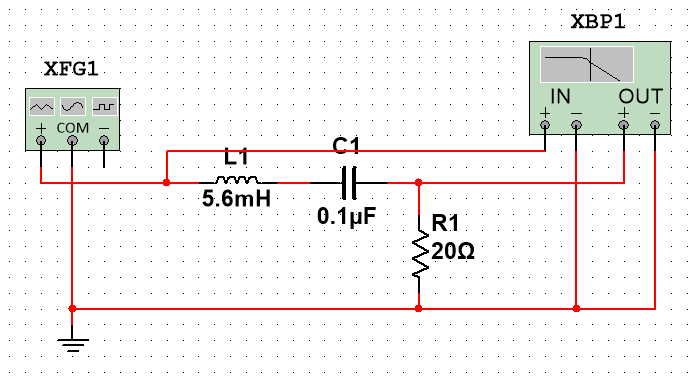


图10 直接测量二阶带通电路传输特性的仿真

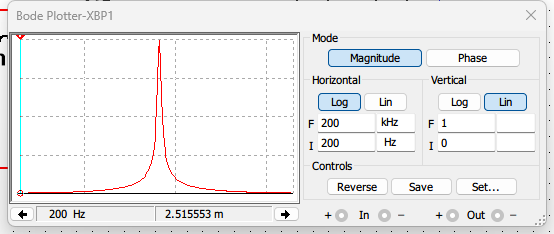
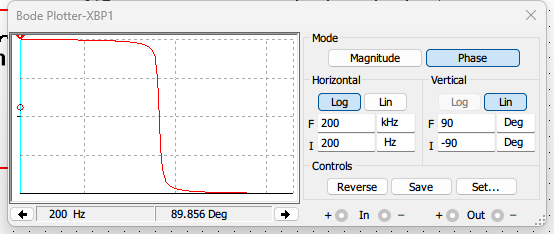


图11 直接测量二阶带通电路的幅频特性和相频特性

通过系统模拟框图再次测量其幅频特性和相频特性，测试电路图如图12所示，测试结果如图13所示。

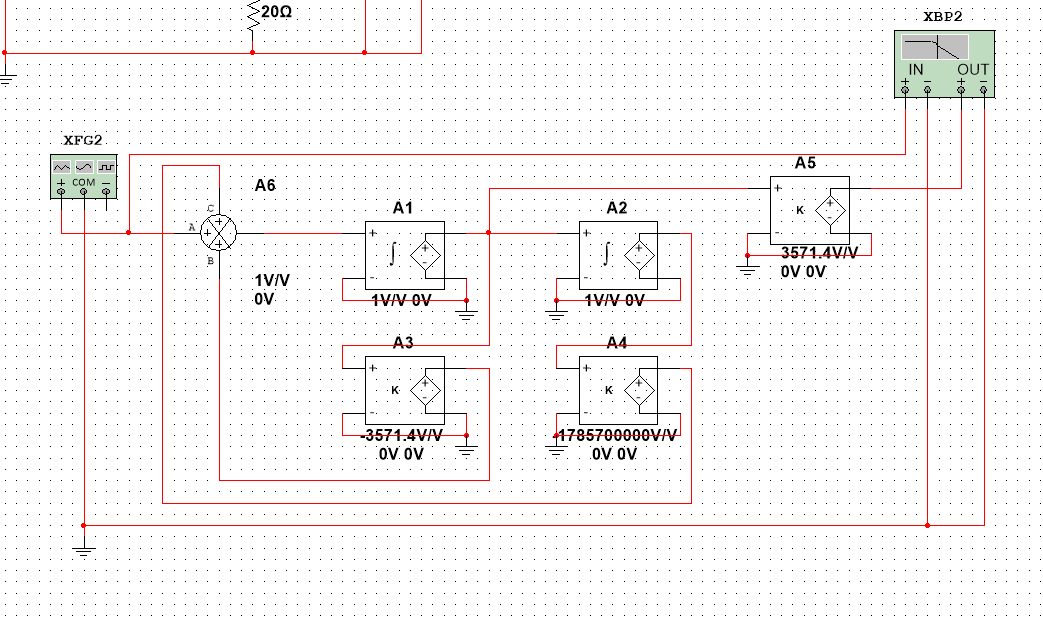


图12 通过系统模拟框图测量二阶带通电路传输特性的仿真图

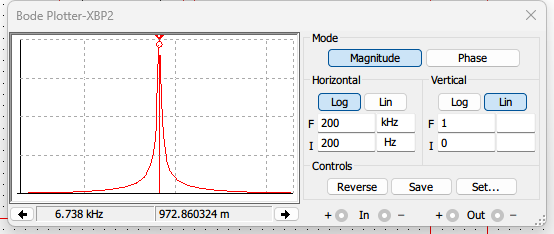
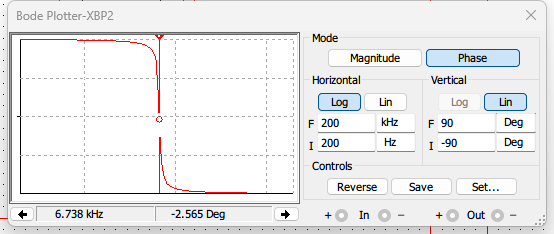


图13 通过系统模拟框图测量二阶带通电路的幅频特性和相频特性

通过以上两种方法分别测得二阶带通电路时域和复频域中的半功率点和谐振点，并记录在表2之中。

表2 二阶带通电路测量结果

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 时域 | | 复频域 | |
| f1/kHz | Φ1/° | f2/kHz | Φ2/° |
| 上半功率点 | 7.021 | -44.55 | 7.021 | -44.55 |
| 谐振点 | 6.738 | -2.565 | 6.777 | -2.565 |
| 下半功率点 | 6.444 | 44.778 | 6.444 | 44.775 |

**六、结果分析**

在传输函数一致的情况下，模拟系统和实际系统的传输特性是一致的。在实际测试中，由于计算时的四舍五入，结果存在一定的误差，误差在一定范围内可以接受。

**七、实验小结**

1.模拟装置可以与实际系统的内容完全不同，但是两者的微分方程完全相同，传输函数也完全相同。

2.模拟装置的激励和响应之间是一一对应的。

3.可以通过对模拟装置的研究来分析实际系统，最终达到在一定条件下确定最佳参数的目的。对于那些用数学手段较难处理的高阶系统来说，模拟系统更为有效。

**组合逻辑电路**

**一、实验目的**

1.掌握基本门电路的实际应用方法。

2.掌握基本门多余端的处理方法。

3.用实验验证所设计电路的逻辑功能。

4.判断、观察组合逻辑电路险象并了解消除险象的方法。

**二、主要仪器设备及软件**

软件：Multisim 14.0

**三、实验原理（或设计过程）**

1.组合逻辑电路设计步骤如下：

(1)将逻辑问题的文字描述变换成真值表。

(2)利用卡诺图或公式法求得最简逻辑表达式，并根据所选用的器件对最简逻辑表达式进行变换，得到所需形式的逻辑表达式。

(3)由逻辑表达式画出逻辑图。

2.组合逻辑电路的冒险现象及消除方法

在输入信号发生变化时，组合逻辑电路有瞬时干扰信号（毛刺）输出的现象称为冒险现象，简称为险象。

(1)组合逻辑电路中的逻辑险象

如图14所示的电路中，由于G1门的延迟，信号A由“0”变到“1”时，在电路输出端错误产生“0-1-0”型险象。一个信号经过不同途径到达同一门的输入端时，由于每条途径上的延时往往不同，因而到达的时间可能有先有后，这种现象称为竞争。竞争就是产生险象的根本原因。

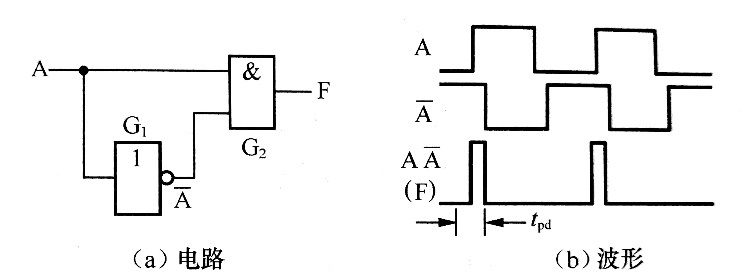


图14 “0-1-0”型险象

同样，或门电路中也会产生险象，如图15所示，这是一种“1-0-1”型险象。

图示, 示意图

描述已自动生成

图15 “1-0-1”型险象

(2)静态逻辑险象的判别方法

①代数法

当变量同时以原变量和反变量形式出现在函数式中时，该变量就具备了竞争条件。

消除式中其他变量而仅留下被研究的变量，若得到下列两种形式，则说明存在静态逻辑险象。

“0-1-0”型险象

“1-0-1”型险象

消除其他变量的方法，是将这些变量的各种取值组合依次代入函数式，把它们从式中消去。如果某一变量仅以一种形式出现在函数式中，它的变化不会引起竞争，可不考虑它的影响。

②卡诺图法

由一个函数(或电路)所对应的卡诺图很容易判断该函数(或电路)中是否存在静态逻辑险象。只要有两个卡诺圈相切，则当变量在两卡诺圈搭接处发生变化时必然产生险象，而若两卡诺圈交叠或相互错开，则不会产生险象。

③示波器法

将给定逻辑电路中某一具有竞争能力的变量用频率较高(>1MHz)的脉冲信号代替，而将其他变量接逻辑开关，然后在这些变量的各种取值下，用双踪示波器同时观察该脉冲信号及输出波形，就可看出该变量变化时，输出波形有无毛刺产生。对每一个具有竞争能力的变量逐一测试，就可较快确定该逻辑电路中实际上是否存在险象、险象类型，以及险象出现的条件。

(3)险象的消除方法

①修改逻辑设计

对逻辑险象来说，可在原函数式中加上多余项或乘上多余因子（对或与表达式），也就是在卡诺图中，用一个多余圈将两个相切的卡诺圈连接起来。或将卡诺图重圈，避免相切。其目的是使原函数F不再可能化为或的形式，从而消除逻辑险象。

②加滤波电路

在对输出波形要求不高的情况下，可在输出端加一个RC积分器（低通滤波器）或直接加滤波电容，适当选取R、C值将毛刺压抑在电路正常工作的允许范围内，从而消除毛刺对后级工作的影响，如图16所示。

③加取样脉冲

**四、实验电路图**

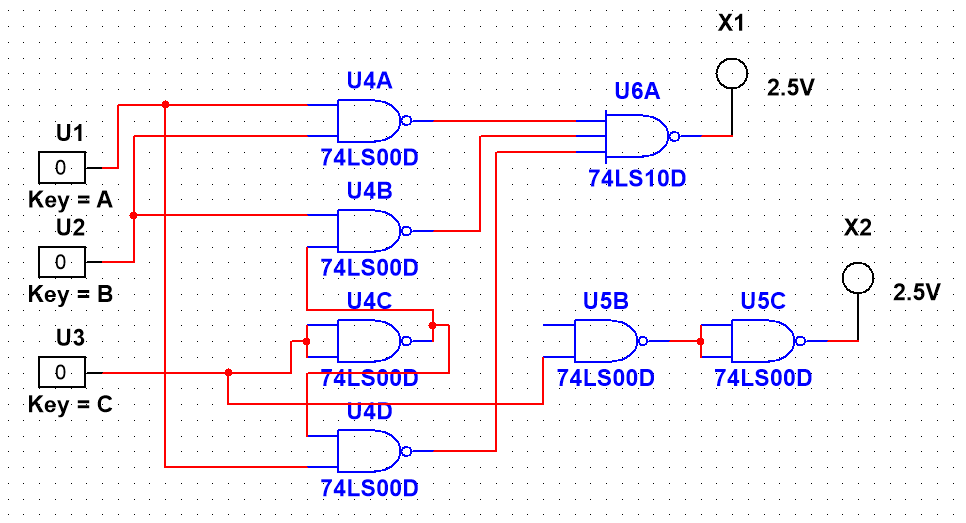


图16 数字锁逻辑电路图

图示, 示意图

描述已自动生成

图17 实验内容的逻辑电路

**五、实验内容和实验结果**

1.用与非门设计一数字锁逻辑电路，该锁有三个按钮A、B、C，当A、B、C同时按下，或A、B同时按下，或只有A或B按下时开锁，如果不符合上述条件则报警。

(1)设计过程：

①真值表

表3 数字锁逻辑电路真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

②表达式

F1、F2的表达式如下：

③电路图

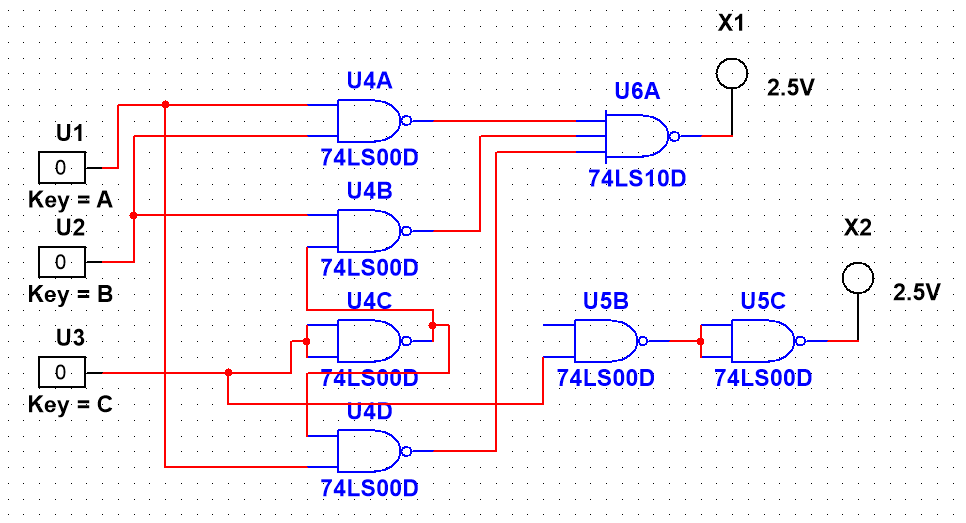


图18 数字锁的仿真电路图

(2)数字锁逻辑电路的静态测试

由灯泡F1、F2的亮灭分别表示开锁和报警。按照真值表顺序依次手动控制输入的逻辑值，观察输出结果与是否与真值表一一对应。

经过测试，静态测试结果与真值表完全一致，满足设计要求。

2.有一组合逻辑电路如图24所示。

图示, 示意图

描述已自动生成

图19 实验内容的逻辑电路

(1)试用示波器来判断是否存在逻辑险象、险象类型及险象出现的条件。

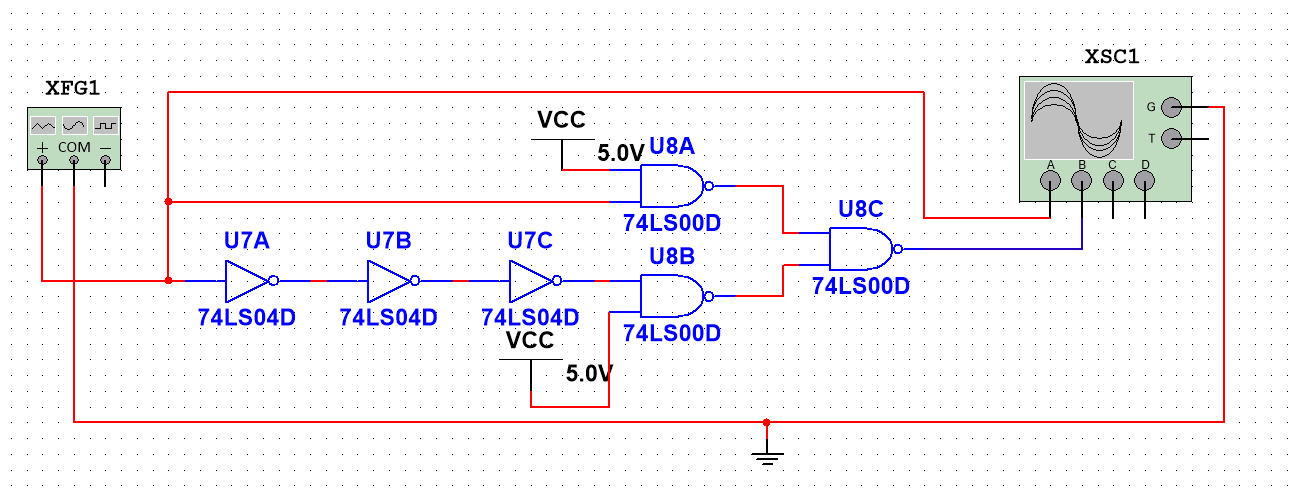
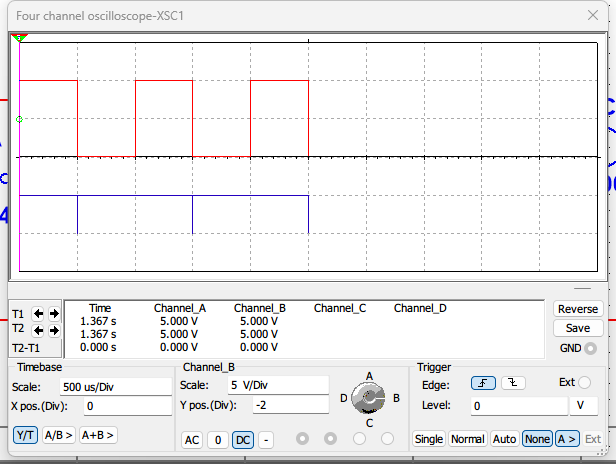


图20 利用示波器判断逻辑险象电路图

1. 判断方法1：

使用示波器判断是否存在险象。



(B=1, C=1，出现“1-0-1”型险象)

图21 利用示波器判断是否存在逻辑险象

1. 判断方法2：

根据逻辑电路图，可以写出输出表达式：

根据表达式也可得：

当B=0, C=0时，，不会出现险象；

当B=0, C=1时，，不会出现险象；

当B=1, C=0时，，不会出现险象；

当B=1, C=1时，，出现“1-0-1”型险象。

(2)在输出端加接滤波电容，观察毛刺的变化情况。

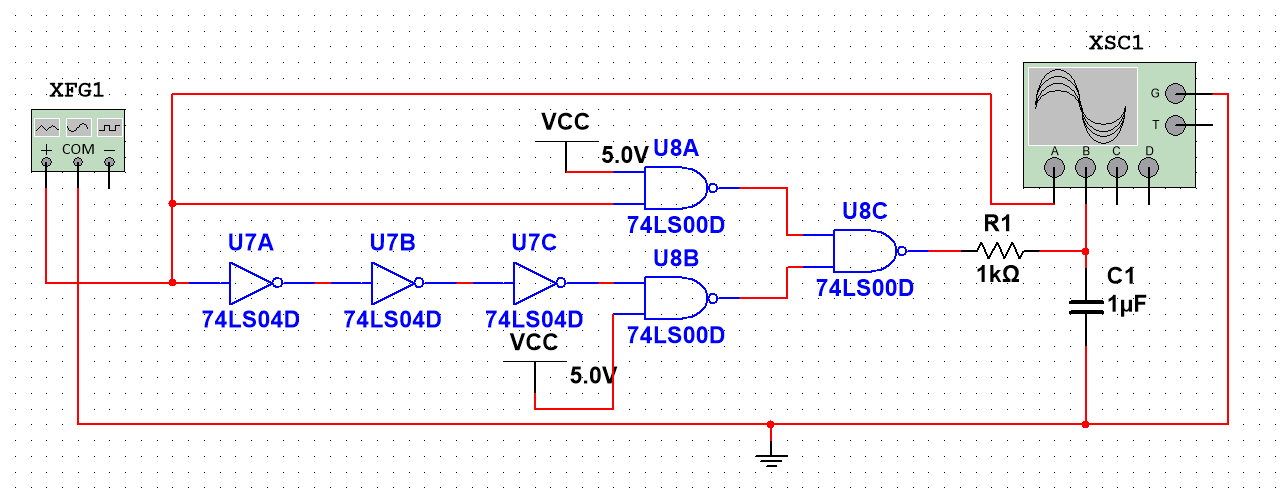


图22 增加滤波电容后的电路图

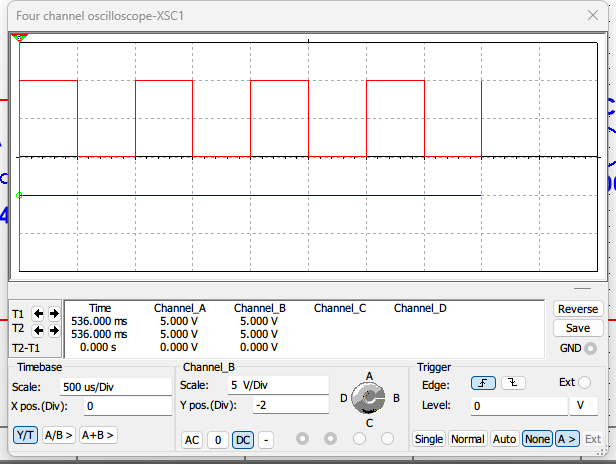


图23 增加滤波电容后示波器输出图

由上图可得，增加滤波电容后，毛刺消失了。

(3)换用修改逻辑设计的方法来消除出现的险象，并通过实验验证。

通过增加多余项的方法来消除险象，在卡诺图中两圈相切处增加一个冗余圈，这样的操作使得本来相切的两个圈不再相切，从而起到消除逻辑冒险的作用。

增加多余项后，F’的逻辑表达式如下：

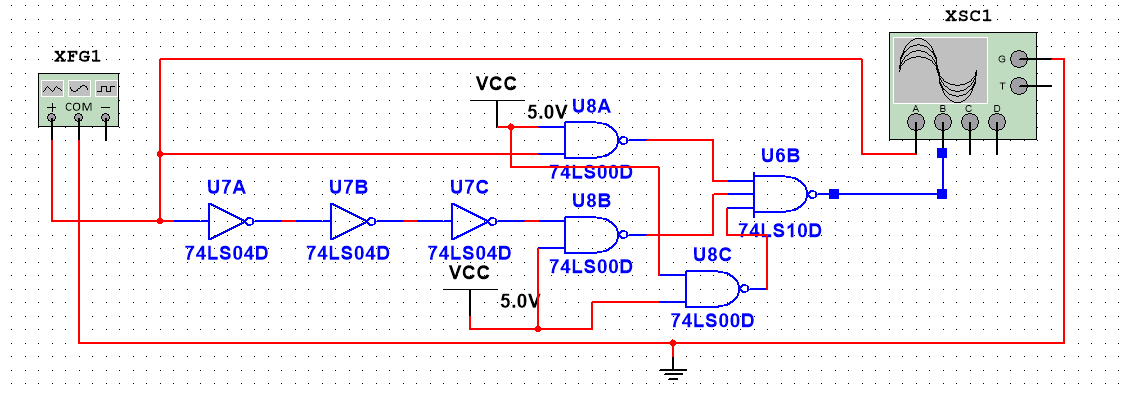


图24 增加多余项后的电路图

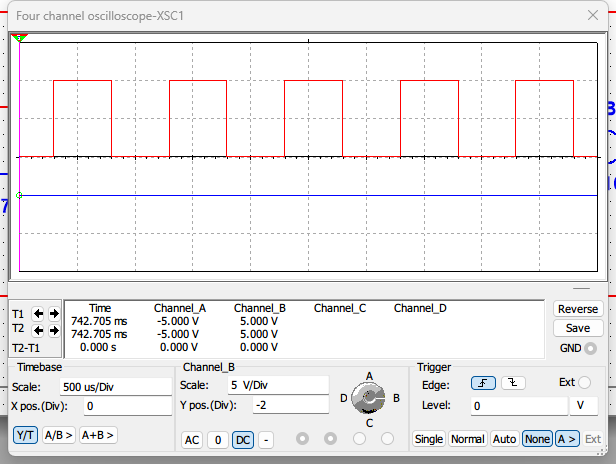


图25 增加多余项后示波器输出图

由上图可得，增加多余项后，毛刺消失了。

**六、结果分析**

设计的数字锁逻辑电路可以按照真值表要求完成所有输出，满足设计要求。

通过增加滤波电容和修改逻辑设计的方法，成功地消除了逻辑险象。

**七、实验小结**

1.设计组合逻辑电路时，要根据问题实际情况确定真值表。

2.判断逻辑险象的方法有代数法、卡诺图法和示波器法；消除逻辑险象的方法有修改逻辑设计、加滤波电路和加取样脉冲，它们各有优缺点：修改逻辑设计会增加设备量；加滤波电路适用于对输出要求不高的情况；加取样脉冲后输出将不是电位信号，而是脉冲信号。我们需要根据电路需求来选择不同的方式消除逻辑险象。